

PAT-NO: JP401085435A
DOCUMENT-IDENTIFIER: JP 01085435 A
TITLE: DATA SIGNAL SPEED CHANGING CIRCUIT

PUBN-DATE: March 30, 1989

INVENTOR-INFORMATION:

NAME	COUNTRY
NONAKA, HARUO	
SAKATA, YOSHIHIKO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP62240786

APPL-DATE: September 28, 1987

INT-CL (IPC): H04J003/06 , H04L007/00

US-CL-CURRENT: 375/354

ABSTRACT:

PURPOSE: To obtain an inexpensive speed changing circuit with high reliability by providing a circuit generating a basic clock signal synchronously with a high speed data signal and a circuit frequency-dividing the basic clock signal and generating the high speed clock signal and the low speed clock signal.

CONSTITUTION: A PLL circuit 20 receives a high speed data signal 1 and generates a basic clock signal 8 having a frequency of a common multiple of the frequency of a high speed clock signal 2 and of the low speed clock signal 7 synchronously with the signal 1. A frequency division circuit 21 frequency-divides the basic clock signal to generate the high speed clock signal 2, the low speed clock signal 7 and the clock signal 5 to set a data signal 4 to an N-bit register circuit 13. The clock signal 3 setting a significant data to change the multiplexed high speed data signal 1 into the low speed data signal 6 to the register circuit 12 is extracted from the high speed clock signal 2 generated by the frequency division circuit 21 by the high speed clock selection circuit 19. Thus, the speed changing circuit with simple structure is obtained.

COPYRIGHT: (C)1989, JPO&Japio

⑫ 公開特許公報(A)

昭64-85435

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)3月30日

H 04 J 3/06
H 04 L 7/00C-6914-5K
A-6914-5K

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 データ信号速度変換回路

⑮ 特 願 昭62-240786

⑯ 出 願 昭62(1987)9月28日

⑰ 発 明 者 野 中 治 雄 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑱ 発 明 者 阪 田 善 彦 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 野 萩 守 外1名

明 細 書

1. 発明の名称

データ信号速度変換回路

2. 特許請求の範囲

1. 高速クロック信号に同期する高速データ信号を低速クロック信号に同期する低速データ信号に変換する回路であつて、高速データ信号を受けて高速クロック信号の周波数と低速クロック信号の周波数の公倍数の周波数の基本クロック信号を高速データ信号と同期して発生する回路と、この基本クロック信号を分周して高速クロック信号と低速クロック信号を発生する回路とを備えたことを特徴とする速度変換回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、例えば、多重化されて高速回線上を伝送された低速回路信号の分離・復原に用いられるような、高速データ信号を低速データ信号に変換する速度変換回路に関し、特に、そのための高速クロック信号と低速クロック信号を発生する回

路に関する。

〔従来の技術〕

速度変換回路は、高速データ信号を処理するための高速クロック信号と、低速データ信号を処理するための低速クロック信号を必要とする。従来の速度変換回路では、特開昭60-148244号公報に記載されているように、高速データ信号が同期する高速クロック信号とは非同期の低速クロック信号が用いられる。これらのクロック信号の間の位相のずれを調整するために、位相の異なる2系列の低速クロック信号が用意され、これらと高速クロック信号の位相が比較されて、最適位相の低速クロック信号が選択される。

第3図は、従来の速度変換回路のブロックダイヤグラムであり、第4図及び第5図は、第3図の回路の動作のタイムチャートである。

第3図において、11、12、13はNビットレジスタ回路、14はN/2ビットレジスタ回路、15は位相比較回路、16はセレクト回路、17はタイミング発生回路、18はPLL回路、19

は高速クロック選択回路である。

第4図及び第5図において、信号(1)は、多重化された高速データ信号である。信号(2)は、高速データ信号(1)からPLL回路18により取出した高速クロック信号で、高速データ信号(1)に同期している。信号(3)は、高速データ信号(1)から目的の低速データ信号(6)に変換すべき有意なデータ(A, B, C, ...)を抽出するための、高速クロック信号(2)から高速クロック選択回路19により選択されたクロック信号である。信号(4)は、低速データ信号(6)と内容が同一で高速クロック信号(2)に同期したデータ信号である。信号(5)は、低速クロック信号(7)に同期した信号で、データ信号(4)をNビットレジスタ13に取込むためのクロック信号であり、タイミング発生器17により発生される。

高速クロック信号(2)と低速クロック信号(7)、したがってクロック信号(3)とクロック信号(5)とは、同期化されていないので、無

データ信号期間との境界に達して、この時点でクロック信号(5)の切換えが行なわれる。この時にデータ(この例ではデータC)の欠落が生じる。

第5図では、逆に、クロック信号(5)が次第に進み、*で示された時点で切換えが行なわれ、この時、データ(この例ではデータD)の重複が生じる。

高速クロック信号と低速クロック信号の位相差を吸収するためのバッファを設ける解決はあるが、それは、回路を複雑にする。

本発明の目的は、高速データ信号の位相の変動に煩わされず、したがってデータの欠落や重複も起こさず、しかも構造の簡単な、速度変換回路を提供することにある。

〔問題点を解決するための手段〕

本発明によれば、高速クロック信号の周波数と低速クロック信号の周波数の公倍数の周波数の基本クロック信号を高速データ信号からそれと同期して発生する回路と、この基本クロック信号を分周して高速クロック信号と低速クロック信号を発

生ずる回路とが設けられる。為に放置すると、クロック信号(3)と(5)が重なる不具合が発生し、データ伝送に誤りが生じる危険がある。そこで、クロック信号(5)に位相の異なる2系列が用意され、位相比較回路15により、最適な位相のものが選択される。第4図及び第5図において、実線で示されたクロック信号が選択されており、点線で示された方は選択されていない。低速データ信号(6)は、クロック信号(5)の選択に応じて、Nビットレジスタ回路13又はN/2ビットレジスタ回路14から、セレクト回路16を介して、低速クロック信号(7)に同期して取出される。

〔発明が解決しようとする問題点〕

前記従来の速度変換回路には、クロック信号(5)を切換える時に、データの欠落又は重複が生じるという問題がある。第4図において、クロック信号(5)は、当初はデータ信号(4)の各期間の中央の理想的な時点で発生されていたものであるが、高速データ信号(1)の位相の変動のため次第に遅れ、*で示された時点において後続

生ずる回路とが設けられる。

〔作用〕

前記の構成によれば、高速データ信号の位相が変動しても、常にそれと一定の位相関係にある低速クロック信号が得られ、したがって、常に安定した位相関係で速度変換が行なわれ、データの欠落や重複が生じることはない。

〔実施例〕

第1図は、本発明による速度変換回路の一実施例を示すブロックダイヤグラムであり、第2図は、第1図の回路の動作を示すタイムチャートである。

第1図において、11, 12, 13はNビットレジスタ回路、19は高速クロック選択回路、20はPLL回路、21は分周回路である。第3図におけるのと同じ符号は同等の素子を表わす。本発明の特徴として、PLL回路20は、高速データ信号(1)を受け、それと同期して、高速クロック信号(2)の周波数と低速クロック信号(7)の周波数の公倍数の周波数を持つ基本クロック信号(8)を発生し、分周回路21は、この

基本クロック信号を分周して、高速クロック信号(2)、低速クロック信号(7)、及びNビットレジスタ回路13にデータ信号(4)をセットするためのクロック信号(5)を発生する。多重化された高速データ信号(1)から低速データ信号(6)に変換すべき有意データA、B、C、…を取出してレジスタ回路12にセットするためのクロック信号(3)は、高速クロック選択回路19によって、分周回路21が発生した高速クロック信号(2)から抽出される。

一例として、高速クロック信号の周波数を80 KHzとし、低速クロック信号の周波数を40 KHzとし、そして、それらの公倍数の一つ160 KHzを、基本クロック信号の周波数に選んだとする。PLL回路20は、高速データ信号(1)と同期する180 KHzの基本クロック信号(8)を発生する。分周回路21は、これを1/2に分周して80 KHzの高速クロック信号(2)を発生し、1/4に分周して40 KHzの低速クロック信号(7)を発生し、また、データ長を5ビット

トとすれば、1/20に分周してクロック信号(5)を発生する。クロック信号(5)の位相は、その各信号がデータ信号(4)の各期間の中央で生じるように選ぶのがよい。クロック信号(5)によりレジスタ回路13にセットされたデータは、低速クロック信号(7)に同期して読出されて、低速データ信号(6)となる。

〔発明の効果〕

本発明によれば、各種クロック信号は高速データ信号と一定の位相関係に保たれている。したがって、位相の異なる低速クロック信号を用意して切換える必要がなく、また、そのような切換えに伴うデータの欠落も重複も生じない。位相比較回路やセクタ回路も不要であり、更に、位相差吸収のためのバッファも必要がない。その結果、安価でしかも信頼性の高い速度変換回路が得られる。

4. 図面の簡単な説明

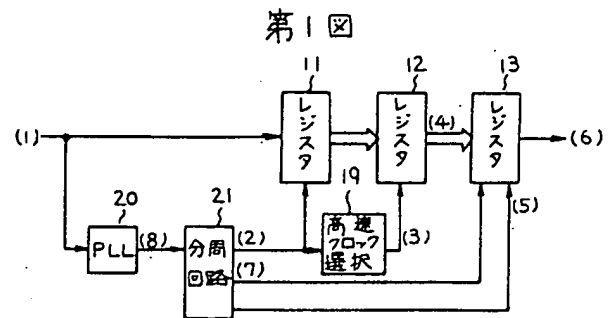
第1図は本発明の一実施例のブロックダイアグラム、第2図は第1図の実施例の動作のタイムチャート、第3図は従来の速度変換回路のブロック

ダイアグラム、第4図と第5図は第3図の回路の動作のタイムチャートである。

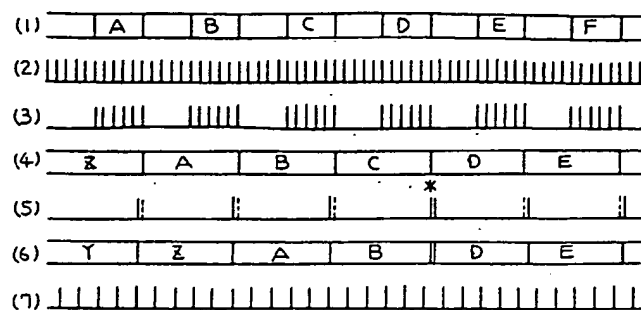
11、12、13…レジスタ回路、19…高速クロック選択回路、20…基本クロック信号を発生するPLL回路、21…分周回路、(1)…高速データ信号、(8)…基本クロック信号、(2)…高速クロック信号、(6)…低速データ信号、(7)…低速クロック信号。

代理人 弁理士 野 萩 守

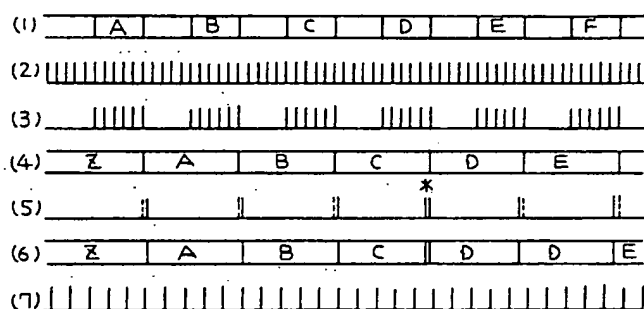
(ほか1名)



第4圖



第 5 図



 m
 25

